

PAT-NO: JP362104177A

DOCUMENT-IDENTIFIER: JP 62104177 A

TITLE: MANUFACTURE OF COMPOUND SEMICONDUCTOR ELEMENT

PUBN-DATE: May 14, 1987

INVENTOR-INFORMATION:

NAME

SHIMADA, CHO

AKIYAMA, TATSUO

ETSUNO, YUTAKA

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP60242991

APPL-DATE: October 31, 1985

INT-CL (IPC): H01L029/80, H01L021/302

US-CL-CURRENT: 438/605, 438/FOR.344

ABSTRACT:

PURPOSE: To obtain a minute configuration without tapered parts on the side wall of a gate layer, by forming a composite metal layer on a compound semiconductor substrate, forming a resist-layer coating, providing a hole at a position where the gate layer is to be formed, oxidizing an exposed titanium layer, and performing ion beam milling with the titanium layer as a mask.

CONSTITUTION: Si ions are implanted in a specified region of a GaAs semiinsulating substrate 1. A channel part, which is an N-type low concentration region, is formed. On this part, a Ti-W layer 2, an Mo layer 3, an Au layer 4 and a Ti layer 5 are deposited (a). The Ti layer 5 is coated with positive resist 6 (b). then a hole part 7 is provided in the resist 6 at a gate-electrode forming position, and a part of the Ti layer 5 is exposed (c). Then ultraviolet rays generating O<sub>2</sub> is applied on the exposed Ti layer 5, and a titanium oxide layer 8 is formed. When the positive resist layer is dissolved and removed, a pattern is obtained with the titanium oxide layer 8 as

a mask (d). The Au layer 4 and the Ti layer 5 in the composite metal layer is removed by ion milling in an Ar atmosphere. With the Ti-Au as a mask, the Mo layer 3 and the TiW layer 2 are removed by an RIE method. Thus the gate layer having a line width of  $0.25\mu\text{m}$  is obtained (e).

COPYRIGHT: (C)1987, JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-104177

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)5月14日

H 01 L 29/80  
21/302

F-8122-5F  
J-8223-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 化合物半導体素子の製造方法

⑯ 特 願 昭60-242991

⑰ 出 願 昭60(1985)10月31日

⑱ 発 明 者	嶋 田 兆	川崎市幸区小向東芝町 1	株式会社東芝多摩川工場内
⑱ 発 明 者	秋 山 龍 雄	川崎市幸区小向東芝町 1	株式会社東芝多摩川工場内
⑱ 発 明 者	越 野 裕	川崎市幸区小向東芝町 1	株式会社東芝多摩川工場内
⑲ 出 願 人	株 式 会 社 東 芝	川崎市幸区堀川町 72 番地	
⑳ 代 理 人	弁 理 士 井 上 一 男		

明 細 書

1. 発明の名称

化合物半導体素子の製造方法

2. 特許請求の範囲

化合物半導体基板に金属層を被覆する工程と、異方性エッチングによる速度が小さくなる他の金属層を前記金属層に積層する工程と、前記他の金属層の所定位置を酸化する工程と、この酸化層をマスクとして前記積層体を異方性エッチングにより除去する工程とを具備することを特徴とする化合物半導体素子の製造方法。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は化合物半導体素子特にGaAs FETに適用するサブミクロン線幅をもつ金属電極の改良に関する。

〔発明の技術的背景〕

最近の半導体素子は超 LSI に代表されるように高集積化及び高機能化が進み、これにつれてバターンの微細化に関する開発が精力的に促進されて

いる。その背景としては等方性エッチングに加えて異方性エッチング法として RIE (Reactive Ion Etching) 法及びイオンビームミリング法の実用化更にはレジストの改良が与っていることは否めない。

ところで、GaAs FET はすでに商品化されているが、その特性向上を目指してゲート長の縮小が課題とされており、これに向けて開発が行われているのが実情である。このGaAs FET では当然ゲート層、ソース及びドレイン領域が必要であり、このゲート電極としては複数種の金属層を重ねて構成するのが一般的である。即ち、GaAs 基板側からTi-W 1000 Å、拡散バリア金属としてMo 1000 Å 更にゲート抵抗低減用Au 5000 Å、これにゲート加工時のマスクとしてTi 1000 Å を重ねた複合金属層が通常使用される。

このゲート層の形成方法としては①GaAs 基板にレジスト層を直接被着後、そのゲート層形成予定位置だけを除去し、露出したGaAs 基板に複数種の金属層を重ねてDepoしこのレジスト層を溶解する

リフト法によって余分な複合金属層を除去する方法が知られている。

一方、この複数種の金属層をGaAs基板表面に被着後、レジスト層を設置して所望のゲート層を形成するに当り、②ゲート層形成予定位置のレジスト層だけを除去して複合金属層を露出し、更にマスクとなる金属層を残存するレジスト層及び露出する複合金属層に被着後、前述のリフト法によって残存するレジスト層ならびにそこに被着するマスク層を除去する方法と、③予めマスク金属層を含めた複合金属層を被覆してからレジスト層を被覆し、ゲート層形成予定位置以外のレジスト層及び金属層を除去する方法が知られている。

③の方法としてはGaAs基板表面に前述の複合金属層を被着後 ODUR 1014 (東京応化製ポジレジスト) を被覆し、ゲート層形成予定位置以外のポジレジストをDeep UV 方式によるコンタクト露光現像工程により除去する。次にゲート層形成予定位置に残ったTi層ならびにレジスト層をマスクとしてイオンミーリングを行ってゲート長 $0.5\mu\text{m}$ のゲ

ート層を得た。

②の方法は、GaAs基板表面に複合金属層としてTi-W, Mo 及び Au を、1000Å, 1000Åならびに5000Åを積層し、最上層のAu層にポジレジストODUR-1014 (東京応化製) を被覆し、Deep UV 露光装置によってゲート層形成予定位置に窓を設けてAu層を露出する。次いで、Ti層をこのネガレジスト層上に1000Å積層することによって露出したAu層にもほぼ同一の厚さを持ったTi層が得られ、このネガレジスト層を溶除することによって積層したTi層も一緒に除去されてAu層上即ちゲート層形成予定位置だけにTi層が残存する。更に、このAu層をイオンミーリング法によってエッチングし、他の金属層はRIE法によって除去して $0.5\mu\text{m}$ の線幅をもつゲート層を得た。

(背景技術の問題点)

GaAs FETに限らずMIS FET等のFETでは、そのゲート長を狭めてその特性向上を図る傾向にあり、GaAs FETでもゲート長を $0.5\mu\text{m}$ から $0.25\mu\text{m}$ 程度に狭めるよう開発が進められている。しかも、この

ゲート層はその厚さ方向を半導体基板表面に対して垂直に形成することが必要であるために、乾式のエッチング手段である異方性エッチング法が採用されており、しかもゲート層として必要なAu層をエッチング可能な適当な気体が存在しないためイオンビームミーリング法は不可欠な手段となる。このイオンビームミーリング法では一旦入射したイオンビームによる被エッチング物質の再付着が発生することが知られており、この再付着速度と再付着物質を除去する速度との均衡を保つためイオンビームの入射角選定が必要となる。更にイオンビームミーリングを行う場合、被処理物間又は単一の被処理物内でのエッチング誤差を最小にするためにウェーハ支持体を回転するのが通常であり、更にこの支持体の冷却を実施する。

第3図(a)には前述の③の方法でゲート層形成予定位置にレジストを残存した状態を示したが、このレジストをマスクとして最上層に位置するTi層をイオンミーリングすると、このレジスト側壁にTiが再付着してパターンニング幅が広がり、更に

その下地であるAu層のイオンミーリング工程時にこの再付着膜が成長し、パターンニング工程終了時にはツノ状の付着膜が残った。この状態を第3図(b)に示した。この付着膜はAu及びTiが存在したものでこのレジスト除去時にも溶除されない。又TiのイオンミーリングをRIE法に置き換える方法も想定されるが、現在のレジストでは選択比が充分採れず採用が困難である。この付着膜の存在はGaAs FETの最終保護膜として堆積するPSG又は集積回路を構成する際必要となる多層配線用層間絶縁膜のピンホールの基となるし、微細パターン用線幅の増大をもたらす難点を生じる。

(発明の目的)

本発明は上記難点を除去した新規な化合物半導体素子の製造方法を提供するもので、特にゲート層側壁にテーパーがない微細な形状を得る。

(発明の概要)

本発明は酸化チタン層がイオンビームミーリングに対するマスクとして優れた特性を発揮できるとの知見により完成されたものである。すなわち、

化合物半導体基板に複合金属層を形成後レジスト層を被覆し、ゲート層形成予定位置に開口を設け、露出したチタン層を $O_2$ プラズマ又はオゾン処理等によって酸化し、この酸化チタン層をマスクとしてイオンビームミーリングを実施する手法を採用した。

〔発明の実施例〕

第1図(a)～(e)及び第2図(a)～(e)により本発明を詳述する。

第1図(a)に示すようにGaAs半絶縁性基板には(1)の所定領域にSiをイオン注入し、N型の低濃度領域であるチャンネル部を形成し、こゝにTi-V(2)を1000Å、Mo層(3)を1000Å、Au層(4)を5000Å及びTi層(5)を1000Å被着し、このTi層(5)にODUR1014(東京応化製ポジレジスト)(6)を被覆し、これを第1図(b)に示す。次にリソグラフィ工程によってゲート電極形成位置のレジスト(6)に開孔部(7)を第1図(c)に示すように設けてTi層(5)の一部を露出する。次に $O_2$ を発生する紫外線にこの露出Ti層(5)をさらして酸化チタン層(8)を形成させる。この酸

化チタン層(8)の形成に当っては $O_2$ アッシャを使用しても差支えない。次に通常の手法によりこのポジレジスト層を溶除すると第1図(d)の酸化チタン層(8)をマスクとした形状が得られるが、これをAr雰囲気中で前述の複合金属層のAu層(4)及びTi層(5)をイオンビームミーリングによって除去して更にこのTi-AuをマスクとしてMo層(3)及びTi-V層(2)をRIE法によって除去して線幅0.25 $\mu$ mのゲート層(9)を第1図(e)に示すように得る。尚このイオンビームミーリングにおける入射角はTiで $10^\circ$  Auで $30^\circ \sim 50^\circ$ に設定したことを付記する。

次に背景技術の欄で記載した②の方法による例を第2図(a)～(e)により説明する。第1図と同様にGaAs半絶縁性基板(1)にはショットキ金属として機能するTi-V層(2)を1000Å、ショットキバリア金属として動作するMo層(3)を1000Å、更に低抵抗メタルAu層(4)を5000Åを第2図(a)に示すように積層する。このAu層(4)にはポジレジストODUR 1014(10)を被着し、Deep UV方式のコンタクト露光によって第1図(c)と同様に開孔部(7)を形成するが

その位置はGaAs FETのゲート層に相当するところであり、これを第2図(b)に示す。次にポジレジスト(10)にTi層(5)1000Åを被覆するとこの開孔部(7)に露出したAu層(4)にもTi層が積層しこれを第2図(c)に示した。更に、ネガレジスト(10)を溶除するとゲート層形成予定位置にTi層(5)が被着され、このTi層(5)をオゾン処理もしくは $O_2$ アッシャで酸化して第2図(d)に示すように酸化チタン層(8)を形成する。このTi層の酸化ならびにこれをマスクとするAu層のイオンビームミーリングは第1図の例と同様であり、更にMo層及びTi-V層をRIE法でエッチングするのも第1図の例と同様である。これらの工程を経て第2図(e)の線幅0.25 $\mu$ mのゲート層(9)が得られる。

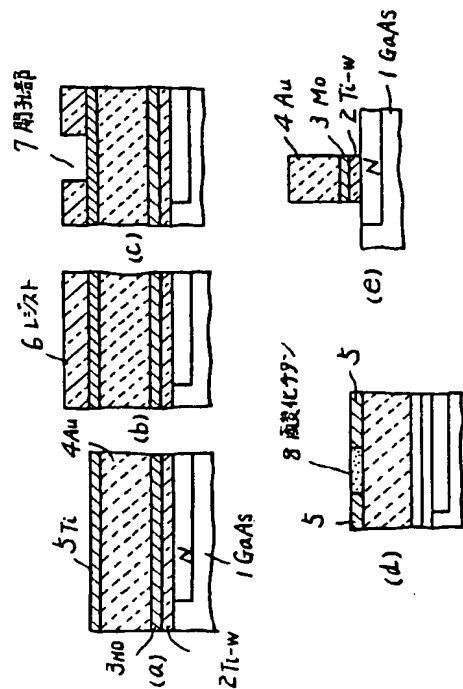
〔発明の効果〕

このようにして得られるゲート層はその側壁への再付着膜が残らないので平滑なゲート層が得られると共にGaAs基板表面に垂直な形状となりレジストのパターニング寸法と変換差が少ない。従って0.25 $\mu$ m程度のゲート長が確実に得られる。

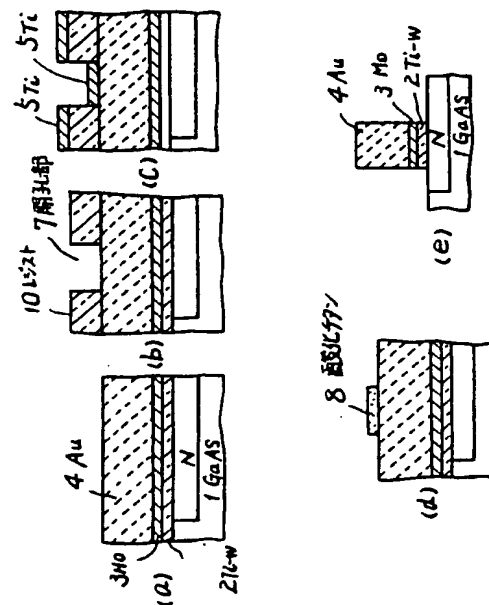
4. 図面の簡単な説明

第1図(a)～(e)ならびに第2図(a)～(e)は本発明の工程を示す断面図、第3図(a)及び(b)は従来方法の工程を示す図である。

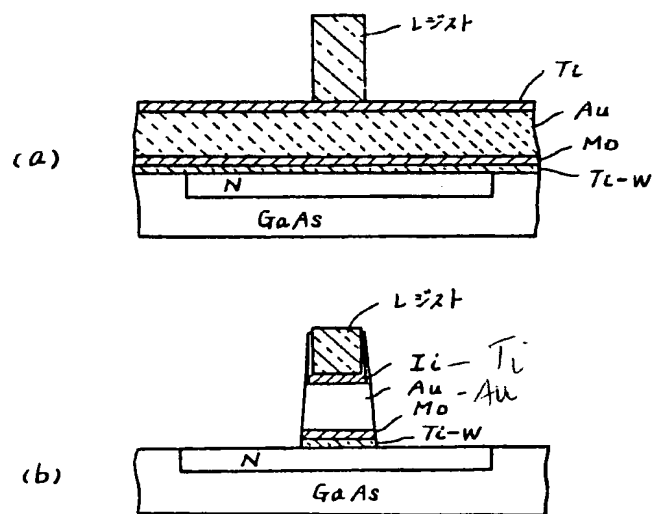
代理人 弁理士 井 上 一 男



第 1 図



第 2 図



第 3 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**